

Patent Abstracts of Japan

PUBLICATION NUMBER : 58134479
PUBLICATION DATE : 10-08-83

APPLICATION DATE : 03-02-82
APPLICATION NUMBER : 57016702

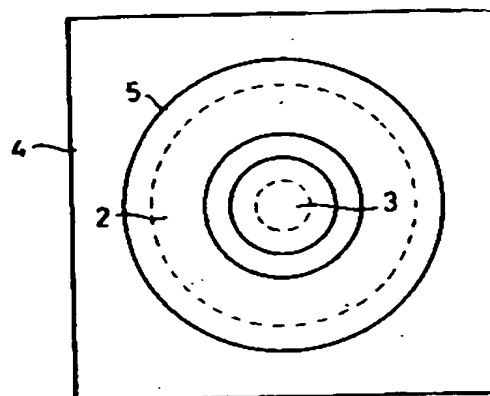
APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : WATARI YOSHIHIKO;

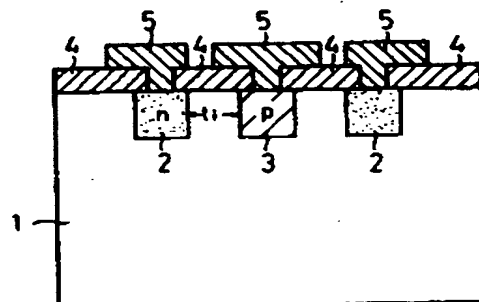
INT.CL. : H01L 29/91

TITLE : PIN DIODE

(a)



(b)



ABSTRACT : PURPOSE: To obtain a diode having very small forward series resistance in a mass production scale with an extremely small structure by concentrically disposing a P⁺ type region and an N⁺ type region in an intrinsic layer when forming a PIN diode.

CONSTITUTION: An N⁺ type region 2 is concentrically diffused at a P⁺ type region 3 as a center in an intrinsic N type semiconductor substrate 1 which exceeds 2,000Ωcm, and the entire surface is covered with a passivation film 4. Then, the prescribed hole is opened at the film 4, an electrode 5 is covered on the region 3, and an annular similar electrode 5 is covered on the region 4. In this manner, the thickness of the intrinsic layer and hence the distance t_1 between the regions 2 and 3 can be reduced to smallest possible size by a photocomposing technique, and the design and manufacture of a diode having very small forward series resistance can be facilitated.

COPYRIGHT: (C)1983,JPO&Japio

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭58—134479

⑤ Int. Cl.³
H 01 L 29/91

識別記号

庁内整理番号
7638—5F

④ 公開 昭和58年(1983)8月10日

発明の数 1
審査請求 未請求

(全 2 頁)

⑭ PINダイオード

① 特 願 昭57—16702
② 出 願 昭57(1982)2月3日
③ 発 明 者 亘善彦

伊丹市瑞原4丁目1番地三菱電

機株式会社北伊丹製作所内
⑦ 出 願 人 三菱電機株式会社
東京都千代田区丸の内2丁目2
番3号
⑧ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

PINダイオード

2. 特許請求の範囲

イントリシツク層中K P⁺領域とN⁺領域を互いに同心円状に配置したことを特徴とするPINダイオード。

3. 発明の詳細な説明

この発明は、PINダイオードの設計・製造における改良に関するものである。

PINダイオードの主要な電気的特性は衆知のごとく、静電容量Cと順直列抵抗 r_s とである。これらの特性は、PINダイオードの設計寸法と密接な関係があり、例えば順直列抵抗 r_s は、PINダイオードのイントリシツク層厚さ t_i に正比例し、接合面積Sに反比例する。今、順直列抵抗 r_s を非常に小さな値に設計したいとき、これを実現する手段は、イントリシツク層厚さ t_i を非常に薄くするか、または接合面積Sを非常に大きくするかの場合である。イントリシツク

層厚さ t_i を非常に薄くする場合、製造工程中で破損しやすくなる。現在の製造技術では、イントリシツク層厚さ t_i は150 μm 以上ないと実際に取扱いができない。このため、大量生産を実施する上でイントリシツク層厚さ t_i には下限があり、性能上満足できない。

次に、接合面積Sを非常に大きくして順直列抵抗 r_s を非常に小さくする場合、PINダイオードチップの面積も必然的に非常に大きくなり、製造原価が高く、実際上市場性がなくなる。

このように、順直列抵抗 r_s が非常に小さいPINダイオードを量産的規模で製造するには、製造技術上の制約があり、実現が困難であつた。

この発明は、順直列抵抗 r_s の非常に小さなPINダイオードを量産的規模で容易に製造できる手段を提供するものである。

まず、従来のPINダイオードを第1図(a)、(b)によつて説明する。

従来PINダイオードは、例えば第1図(a)の上面図および第1図(b)の断面図に示すように、

2000 Ω cm 以上のN型半導体基体1内に、N⁺領域2およびP⁺領域3を形成し、パッシベーション被膜4および電極5を形成している。

N型半導体基体1中のN⁺領域2およびP⁺領域3を除いた領域がイントリンシック層として動作する。PINダイオードとしての機能を理想的な状態に近づけるためには、イントリンシック層の実効的不純物濃度をできるだけ低下させるため、N⁺領域2およびP⁺領域3はその不純物分布を階段状に形成する必要がある。そのためには、N⁺領域2およびP⁺領域3を浅くする必要がある。

このため、非常に小さな順直列抵抗 r_s を実現する一つの方法である。前述したようなイントリンシック層の厚さを非常に薄くすれば、N型半導体基体1の厚さを非常に薄くしなければならず、量産的規模の生産はN型半導体基体1の破損のため実質的にできない。

次に、この発明の一実施例について説明する。

第2図(a)、(b)はこの発明の一実施例を示すものである。これらの図において、2000 Ω cm

特開58-134479 (2)

以上のN型半導体基体1内に、N⁺領域2とP⁺領域3とを同心円状に形成し、パッシベーション被膜4および電極5を形成する。このようにすることによつて、イントリンシック層の厚さ t_i は、N⁺領域2とP⁺領域3との距離 r なり、通常の写真製版技術で作成できるまで薄くすることができるので、順直列抵抗 r_s の非常に小さいPINダイオードを量産的規模で製造できる。

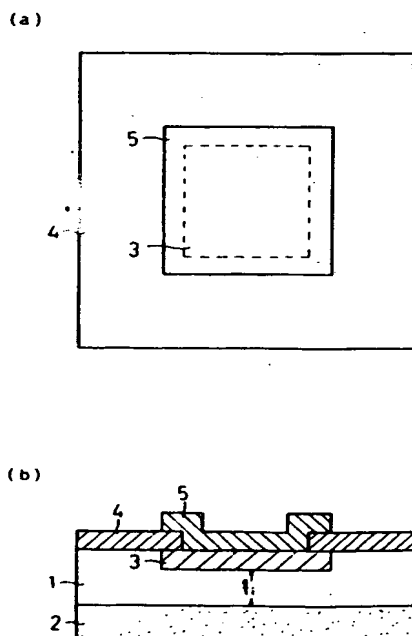
以上説明したように、この発明によれば、極めて簡単な構成で、順直列抵抗の非常に小さなPINダイオードを量産的規模で製造できる利点がある。

4. 図面の簡単な説明

第1図(a)、(b)は従来のPINダイオードを示す上面図および断面図、第2図(a)、(b)はこの発明の一実施例を示す上面図および断面図である。

図中、1は2000 Ω cm 以上のN型半導体基体、2はN⁺領域、3はP⁺領域、4はパッシベーション被膜、5は電極である。なお、図中の同一符号は同一または相当部分を示す。

第 1 図



第 2 図

